**异步流水乘法器的实现**

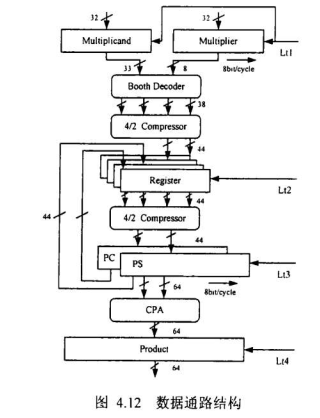
杨智杰 18020146

一、实验原理

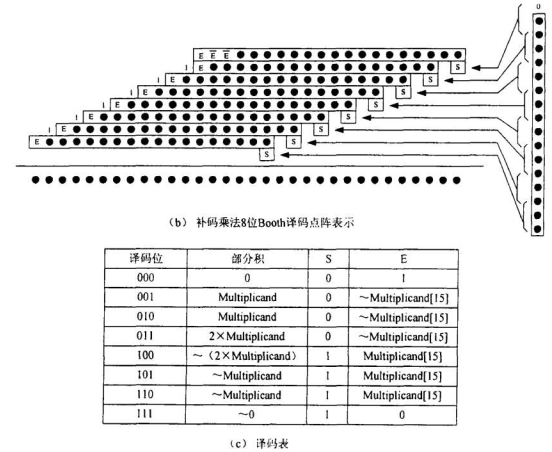
复现龚锐老师的硕士毕业课题当中的异步流水线乘法器。

二、实验步骤

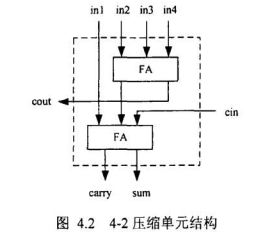
1. 总体数据通路如图所示，根据其来设计各个模块



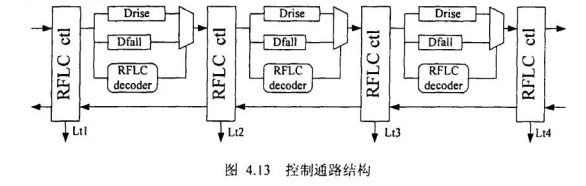
1. 根据译码表设计booth乘法译码器，文件为booth\_decoder.v



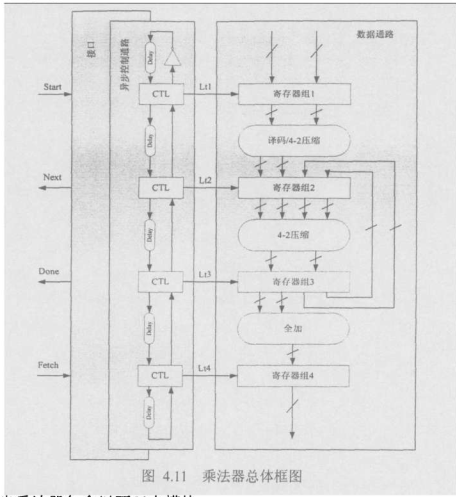
1. 设计4-2压缩单元，文件是fourtwo\_compress.v以及其中的全加器是fulladder.v，全加器组成的在4-2压缩之后的全加器阵列是fad\_array.v。



3.设计冗余4段握手控制电路，文件为rlfc\_ctrl.v和rflc\_decoder.v。



4.设计数据通路，文件为data\_path.v



5.最后设计各级流水段之间的暂存模块，文件为stagex\_reg.v, x=1,2,3

三、附录

详细设计见附件代码